

PAT-NO: JP02000269230A

DOCUMENT-IDENTIFIER: JP 2000269230 A

TITLE: SEMICONDUCTOR DEVICE AND ITS
MANUFACTURE

PUBN-DATE: September 29, 2000

INVENTOR-INFORMATION:

NAME

SATO, FUMIHIKO

COUNTRY

N/A

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP11069805

APPL-DATE: March 16, 1999

INT-CL (IPC): H01L021/331, H01L029/73 , H01L021/205

ABSTRACT:

PROBLEM TO BE SOLVED: To reduce C-B capacitance and at the same time enable high-current density operation by forming a single-crystal film of a second conductivity type on a single-crystal film of a first conductivity type with a second concentration and using the single-crystal film of the second conductivity type as a base.

SOLUTION: An opening 101 is formed in a part of the region in p+-type polycrystalline silicon 11 for base electrode and a n-type single-crystal silicon-germanium layer 13 for collector with a second concentration is formed

on a n-type epitaxial silicon layer 4 and a n-type single-crystal silicon-germanium layer 7 with a first concentration in the opening 101. A region 14, comprising a single-crystal silicon-germanium alloy base and a single-crystal silicon film located thereon, is formed on the single-crystal silicon-germanium layer 13. As a result C-B capacitance can be reduced, and at the same time high-current density operation becomes possible.

COPYRIGHT: (C) 2000, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-269230

(P2000-269230A)

(43) 公開日 平成12年9月29日 (2000.9.29)

(51) IntCl ⁷	識別記号	F I	テマコード (参考)
H 0 1 L 21/331		H 0 1 L 29/72	5 F 0 0 3
29/73		21/205	5 F 0 4 5
21/205			

審査請求 有 請求項の数18 O L (全 18 頁)

(21) 出願番号 特願平11-69805

(22) 出願日 平成11年3月16日 (1999.3.16)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 佐藤 文彦

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100071272

弁理士 後藤 洋介 (外1名)

Fターム (参考) 5F003 AP05 BA97 BB07 BCD1 BE02

BC05 BH18 BM01 BP21 BP32

BP33 BP46

5F045 AA07 AB01 AB02 ACD1 AC19

AD10 AE01 AF03 AF20 BB16

CA01 DA66 DB02 GH10

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 遮断周波数の上昇と容量の低減とを、同時に実現することである。

【解決手段】 高濃度なコレクタ領域の形成を一部の必要な領域に制限することで、遮断周波数の低下を抑さえ、しかもコレクタ容量の上昇も抑制することを可能とする。

【特許請求の範囲】

【請求項1】 半導体基板を有する半導体装置において、前記半導体基板表面の一部に形成された第1濃度を有する第1導電型埋め込み層と、前記第1濃度を有する第1導電型埋め込み層に達する開口部と、該開口部側面に形成された絶縁膜と、前記開口部によって囲まれた内部領域に形成された第1の第1導電型単結晶層と、前記第1濃度を有する第1導電型単結晶層の上に形成された表面の位置が少なくとも該絶縁膜よりも上である第2の第1導電型単結晶層32と、該絶縁膜の周囲に表面の位置が第2の第1導電型単結晶膜とほぼ同じである第3の第1導電型単結晶膜と、該絶縁膜の上に及び第2、第3の第1導電型単結晶膜上に形成された第2濃度を有する第1導電型単結晶膜と、該第2濃度を有する第1導電型単結晶膜上に形成された第2導電型単結晶膜と、を有し、該第2導電型単結晶膜がベースであることを特徴とする半導体装置。

【請求項2】 半導体基板表面の一部に形成された第1濃度を有する第1導電型埋め込み層と、前記第1濃度を有する第1導電型埋め込み層の表面に形成された第3濃度を有する第1導電型の半導体層と、前記第1濃度を有する第1導電型埋め込み層に達する開口部と、該開口部側面に形成された絶縁酸化膜と、絶縁膜の上に形成された第2濃度を有する第1導電型単結晶膜と、前記開口部によって囲まれた内部領域に形成された第1濃度を有する第1導電型単結晶層と、前記第1濃度を有する第1導電型単結晶層の上に形成された第2濃度を有する第1導電型単結晶層と、を有することを特徴とする半導体装置。

【請求項3】 シリコン基板を有する半導体装置において、前記シリコン基板表面の一部に形成された第1濃度を有する第1導電型埋め込み層と、前記第1濃度を有する第1導電型埋め込み層の表面に形成された第3濃度を有する第1導電型のエピタキシャル・シリコン層と、前記第1濃度を有する第1導電型埋め込み層に達する開口部と、該開口部側面に形成されたシリコン酸化膜と、シリコン酸化膜の上に形成された第2濃度を有する第1導電型単結晶シリコン膜と、前記開口部によって囲まれた内部領域に形成された第1濃度を有する第1導電型単結晶シリコン層と、前記第1濃度を有する第1導電型単結晶シリコン層の上に形成された第2濃度を有する第1導電型単結晶シリコン層とを有し、高濃度なコレクタ領域の形成を一部の必要な領域に制限することで遮断周波数の低下を押さえ、コレクタ容量の上昇も抑制することを可能とすることを特徴とする半導体装置。

【請求項4】 シリコン基板を有する半導体装置を製造する半導体装置の製造方法において、前記シリコン基板表面の一部に、第1濃度を有する第1導電型埋め込み層を形成し、前記第1濃度を有する第1導電型埋め込み層の表面に第3濃度を有する第1導電型のエピタキシャル

・シリコン層を形成し、第1濃度を有する第1導電型埋め込み層に達するように開口部を形成し、該開口部側面にシリコン酸化膜を形成し、該シリコン酸化膜の上部を除去し、その露出した部分に第2濃度を有する第1導電型単結晶シリコン膜を形成し、前記開口部によって囲まれた内部領域に前記第1濃度を有する第1導電型単結晶シリコン層を形成し、さらにその上には前記第2濃度を有する第1導電型単結晶シリコン層を形成することを特徴とする半導体装置の製造方法。

10 【請求項5】 シリコン基板を有する半導体装置において、前記シリコン基板の一部に形成された第1濃度を有する第1導電型埋め込み層と、素子分離用膜よりも内側のトランジスタを形成する領域に形成された開口部と、該開口部側面に形成されたシリコン酸化膜と、該シリコン酸化膜の上に形成された第2濃度を有する第1導電型単結晶シリコン膜と、前記開口部によって囲まれた内部領域に形成された第2濃度を有する第1導電型の単結晶シリコンと、第2濃度を有する第1導電型の単結晶シリコンの上に形成された第2濃度を有する第1導電型の単結晶シリコン・ゲルマニウムと、金属コレクタ電極が形成される直下の領域に形成された第1濃度を有する第1導電型のコレクタ引き出し用単結晶シリコン領域を有することを特徴とする半導体装置。

20 【請求項6】 シリコン基板を有する半導体装置において、前記シリコン基板の一部に、互いに接触しないように形成された第1濃度を有する第1導電型埋め込み層及び第1濃度を有する第2導電型埋め込み層と、前記第1濃度を有する第1導電型埋め込み層2の表面及び該埋め込み層が存在していない領域のシリコン基板の表面に形成された第3濃度を有する第2導電型のエピタキシャル・シリコン層と、前記第2導電型埋め込み層の上に形成された素子分離用膜と、該素子分離用膜よりも内側のトランジスタを形成する領域に形成され、前記第1濃度を有する第1導電型埋め込み層に達する開口部と、該開口部側面に形成されたシリコン酸化膜と、該シリコン酸化膜の上に形成された第2濃度を有する第1導電型単結晶シリコン膜と、前記開口部によって囲まれた内部領域に形成された第2濃度を有する第1導電型の単結晶シリコンと、第2濃度を有する第1導電型の単結晶シリコンの上に形成された第2濃度を有する第1導電型の単結晶シリコン・ゲルマニウムと、金属コレクタ電極が形成される直下の領域に形成された第1濃度を有する第1導電型のコレクタ引き出し用単結晶シリコン領域を有することを特徴とする半導体装置。

40 50 【請求項7】 シリコン基板を有する半導体装置において、前記シリコン基板の一部に、互いに接触しないように形成された第1濃度を有する第1導電型埋め込み層及び第1濃度を有する第2導電型埋め込み層と、前記第1濃度を有する第1導電型埋め込み層の表面及び該埋め込み層が存在していない領域のシリコン基板の表面に形成

された第3濃度を有する第2導電型のエピタキシャル・シリコン層と、前記第2導電型埋め込み層の上に形成された素子分離用膜と、該素子分離用膜よりも内側のトランジスタを形成する領域に形成され、前記第1濃度を有する第1導電型埋め込み層に達する開口部と、該開口部側面に形成されたシリコン酸化膜と、該シリコン酸化膜の上に形成された第2濃度を有する第1導電型単結晶シリコン膜と、前記開口部によって囲まれた内部領域に形成された第2濃度を有する第1導電型の単結晶シリコンと、第2濃度を有する第1導電型の単結晶シリコンの上に形成された第2濃度を有する第1導電型の単結晶シリコン・ゲルマニウムと、金属コレクタ電極が形成される直下の領域に形成された第1濃度を有する第1導電型のコレクタ引き出し用単結晶シリコン領域を有し、高濃度なコレクタ領域の形成を一部の必要な領域に制限することで遮断周波数の低下を押さえ、コレクタ容量の上昇も抑制することを可能とすることを特徴とする半導体装置。

【請求項8】 シリコン基板を有する半導体装置を製造する半導体装置の製造方法において、前記シリコン基板の一部に、互いに接触しないように第1濃度を有する第1導電型埋め込み層2及び第1濃度を有する第2導電型埋め込み層を形成し、前記第1濃度を有する第1導電型埋め込み層の表面及び該埋め込み層が存在していない領域のシリコン基板の表面に第3濃度を有する第2導電型のエピタキシャル・シリコン層を形成し、前記第2導電型埋め込み層の上に素子分離用膜を形成し、該素子分離用膜よりも内側のトランジスタを形成する領域に、かつ前記第1濃度を有する第1導電型埋め込み層に達するように開口部を形成し、該開口部側面にシリコン酸化膜を形成し、該シリコン酸化膜の上部を除去し、その露出した部分に第2濃度を有する第1導電型単結晶シリコン膜を形成し、前記開口部によって囲まれた内部領域に第2濃度を有する第1導電型の単結晶シリコンを形成し、第2濃度を有する第1導電型の単結晶シリコンの上に第2濃度を有する第1導電型の単結晶シリコン・ゲルマニウムを形成し、金属コレクタ電極が形成される直下の領域に第1濃度を有する第1導電型のコレクタ引き出し用単結晶シリコン領域を形成することを特徴とする半導体装置の製造方法。

【請求項9】 シリコン基板を有する半導体装置において、前記シリコン基板の一部に、互いに接触しないように形成された第1濃度を有する第1導電型埋め込み層及び第1濃度を有する第2導電型埋め込み層と、前記第1濃度を有する第1導電型埋め込み層の表面及び該埋め込み層が存在していない領域のシリコン基板の表面に形成された第3濃度を有する第2導電型のエピタキシャル・シリコン層と、前記第2導電型埋め込み層の上に形成された素子分離用膜と、該素子分離用膜よりも内側のトランジスタを形成する領域に形成され、前記第1濃度を有

する第1導電型埋め込み層に達する開口部と、該開口部側面に形成されたシリコン酸化膜と、該シリコン酸化膜の上に、かつエミッタ直下とならない領域に形成された第3濃度を有する第1導電型シリコン膜・ゲルマニウムと、該シリコン酸化膜の上に、かつエミッタ直下となる領域に形成された第2濃度を有する第1導電型シリコン膜・ゲルマニウムと、前記開口部によって囲まれた内部領域に形成された第2濃度を有する第1導電型の単結晶シリコンと、第2濃度を有する第1導電型の単結晶シリコンの上に形成された第2濃度を有する第1導電型の単結晶シリコン・ゲルマニウムと、金属コレクタ電極が形成される直下の領域に形成された第1濃度を有する第1導電型のコレクタ引き出し用単結晶シリコン領域を有することを特徴とする半導体装置。

【請求項10】 前記素子分離用膜はロソス酸化膜であることを特徴とする請求項1〜3、5〜7、9に記載の半導体装置。

【請求項11】 前記第1導電型はn型であり、前記第2導電型はp型であることを特徴とする請求項1〜3、5〜7、9、10に記載の半導体装置。

【請求項12】 前記第1導電型はp型であり、前記第2導電型はn型であることを特徴とする請求項1〜3、5〜7、9、10に記載の半導体装置。

【請求項13】 前記第1濃度は前記第2濃度より高く、前記第2濃度は前記第3濃度より高いことを特徴とする請求項1〜3、5〜7、9、10に記載の半導体装置。

【請求項14】 前記素子分離用膜はロソス酸化膜であることを特徴とする請求項4又は8に記載の半導体装置の製造方法。

【請求項15】 前記第1導電型はn型であり、前記第2導電型はp型であることを特徴とする請求項4、8、14に記載の半導体装置の製造方法。

【請求項16】 前記第1導電型はp型であり、前記第2導電型はn型であることを特徴とする請求項4、8、14に記載の半導体装置の製造方法。

【請求項17】 前記第1濃度は前記第2濃度より高く、前記第2濃度は前記第3濃度より高いことを特徴とする請求項4、8、14に記載の半導体装置の製造方法。

【請求項18】 前記シリコン酸化膜の膜厚は前記ロソス酸化膜の厚さの半分程度であることを特徴とする請求項2、3、6、7、9に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 遮断周波数の上昇と容量の低減とを、同時に実現できる半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】 半導体装置の高性能化、特に、バイポー

ラ・トランジスタにおける遮断周波数の向上と、寄生容量の低減とを同時に実現するためには、単純な素子の微細化だけではなく、不純物プロファイルの適正化と同時にトランジスタの構造に関わるアイディアが必要となる。

【0003】以下、遮断周波数の向上と、寄生容量の低減とを同時に実現する第1の従来技術について説明する。この第1の従来技術は、選択的イオン注入法で高濃度コレクタを形成する技術であり、図32に前記第1の従来技術に係る半導体装置の構造を示す。ここでは、エ

ピタキシャルシリコン層（その濃度は約 $1 \sim 3 \times 10^{16} \text{ cm}^{-3}$ のリンを含む）204に対して、リンをイオン注入することで、約 $1 \times 10^{17} \text{ cm}^{-3}$ のリンを含む領域116を形成する。以上の技術は、文献S. Konaka et al.,

"A 20 ps/G Si bipolar IC using advanced SST with collector ionimplantation," in Abstract of the 19th Conference on Solid State Devices and Materials, Tokyo, 1987, pp. 331-334に開示されている。

【0004】次に、遮断周波数の向上を実現する第2の従来技術について説明する。この第2の従来技術はエ

ピタキシャル成長法で高濃度コレクタの形成する技術であり、図33に前記第2の従来技術に係る半導体装置の構造を示す。コレクタ領域が、初めから高濃度（たとえば、 $1 \sim 2 \times 10^{18} \text{ cm}^{-3}$ のn型不純物を含む）の領域146からなる。以上の技術は、文献E. F. Grabbe et al., "Vertical profile optimization of very high frequency epitaxial Si- and SiGe-base bipolar transistors," in International Electron Devices Meeting, 1993, pp. 83-86に開示されている。

【0005】

【発明が解決しようとする課題】遮断周波数の高い高性能なバイポーラ・トランジスタを形成する場合に、高コレクタ電流密度動作までC-B（コレクターベース）空乏層が変調を受けないためには高濃度のコレクタを形成する必要がある。

【0006】しかし、単純にコレクタ濃度を上昇させてしまうと、C-B容量が上昇してしまうので f_T 向上効果が相殺し最大発振周波数 f_{max} は改善されない。

【0007】上記した第1の従来技術を用いてエミッタの直下となるコレクタ領域にリンをイオン注入した場合の問題点を次に説明する。たとえば、加速エネルギー＝200keVで注入したリンのドーズ量を変数にしてコレクターベース間の接合歩留まりを、図34に示す。ここで良品とは、10000ヶのトランジスタを並列に接続した時、2.5Vをコレクタ・ベース間に逆バイアス印加して、1mA以下のリーク電流値である時、良品とした。図34から明らかな様に、リンのピーク濃度が、約 $2 \times 10^{17} \text{ cm}^{-3}$ 程度以下の時、90%以上の良品が得られている。

【0008】しかし、リン濃度が約 $3 \times 10^{17} \text{ cm}^{-3}$ 以

上となる様にリンをイオン注入すると、結晶欠陥が発生し、良品率が著しく低下してしまう。リン濃度が、約 $1 \times 10^{18} \text{ cm}^{-3}$ となると、全く良品が取れない。

【0009】この歩留まり悪化の問題点を解決する手段として、コレクタ用エピタキシャル成長の段階で、約 $3 \times 10^{17} \text{ cm}^{-3}$ ～約 $1 \times 10^{18} \text{ cm}^{-3}$ のリンを初めからドーピングしておく方法がある。しかし、この第2の従来技術では、C-B容量が著しく上昇してしまう。この関係を図35に示す。この様に、容量が増加してしまう原因は、本来高濃度化させる必要が無い領域（＝エミッタ直下以外のコレクタ領域）までも、コレクタ濃度が高いためである。

【0010】

【課題を解決するための手段】本発明によれば、半導体基板を有する半導体装置において、前記半導体基板表面の一部に形成された第1濃度を有する第1導電型埋め込み層と、前記第1濃度を有する第1導電型埋め込み層に達する開口部と、該開口部側面に形成された絶縁膜と、前記開口部によって囲まれた内部領域に形成された第1の第1導電型単結晶層と、前記第1濃度を有する第1導電型単結晶層の上に形成された表面の位置が少なくとも該絶縁膜よりも上である第2の第1導電型単結晶層32と、該絶縁膜の周囲に表面の位置が第2の第1導電型単結晶膜とほぼ同じである第3の第1導電型単結晶膜と、該絶縁膜の上に及び第2、第3の第1導電型単結晶膜上に形成された第2濃度を有する第1導電型単結晶膜と、該第2濃度を有する第1導電型単結晶膜上に形成された第2導電型単結晶膜と、を有し、該第2導電型単結晶膜がベースであることを特徴とする半導体装置が得られる。

【0011】又、本発明によれば、半導体基板表面の一部に形成された第1濃度を有する第1導電型埋め込み層と、前記第1濃度を有する第1導電型埋め込み層の表面に形成された第3濃度を有する第1導電型の半導体層と、前記第1濃度を有する第1導電型埋め込み層に達する開口部と、該開口部側面に形成された絶縁酸化膜と、絶縁膜の上に形成された第2濃度を有する第1導電型単結晶膜と、前記開口部によって囲まれた内部領域に形成された第1濃度を有する第1導電型単結晶層と、前記第1濃度を有する第1導電型単結晶層の上に形成された第2濃度を有する第1導電型単結晶層とを有することを特徴とする半導体装置が得られる。

【0012】又、本発明によれば、シリコン基板を有する半導体装置において、前記シリコン基板表面の一部に形成された第1濃度を有する第1導電型埋め込み層と、前記第1濃度を有する第1導電型埋め込み層の表面に形成された第3濃度を有する第1導電型のエピタキシャル・シリコン層と、前記第1濃度を有する第1導電型埋め込み層に達する開口部と、該開口部側面に形成されたシリコン酸化膜と、シリコン酸化膜の上に形成された第2

濃度を有する第1導電型単結晶シリコン膜と、前記開口部によって囲まれた内部領域に形成された第1濃度を有する第1導電型単結晶シリコン層と、前記第1濃度を有する第1導電型単結晶シリコン層の上に形成された第2濃度を有する第1導電型単結晶シリコン層とを有し、高濃度なコレクタ領域の形成を一部の必要な領域に制限することで遮断周波数の低下を押さえ、コレクタ容量の上昇も抑制することを可能とすることを特徴とする半導体装置が得られる。

【0013】又、本発明によれば、シリコン基板を有する半導体装置を製造する半導体装置の製造方法において、前記シリコン基板表面の一部に、第1濃度を有する第1導電型埋め込み層を形成し、前記第1濃度を有する第1導電型埋め込み層の表面に第3濃度を有する第1導電型のエピタキシャル・シリコン層を形成し、第1濃度を有する第1導電型埋め込み層に達するように開口部を形成し、該開口部側面にシリコン酸化膜を形成し、該シリコン酸化膜の上部を除去し、その露出した部分に第2濃度を有する第1導電型単結晶シリコン膜を形成し、前記開口部によって囲まれた内部領域に前記第1濃度を有する第1導電型単結晶シリコン層を形成し、さらにその上には前記第2濃度を有する第1導電型単結晶シリコン層を形成することを特徴とする半導体装置の製造方法が得られる。

【0014】又、本発明によれば、シリコン基板を有する半導体装置において、前記シリコン基板の一部に形成された第1濃度を有する第1導電型埋め込み層と、素子分離用膜よりも内側のトランジスタを形成する領域に形成された開口部と、該開口部側面に形成されたシリコン酸化膜と、該シリコン酸化膜の上に形成された第2濃度を有する第1導電型単結晶シリコン膜と、前記開口部によって囲まれた内部領域に形成された第2濃度を有する第1導電型の単結晶シリコンと、第2濃度を有する第1導電型の単結晶シリコンの上に形成された第2濃度を有する第1導電型の単結晶シリコン・ゲルマニウムと、金属コレクタ電極が形成される直下の領域に形成された第1濃度を有する第1導電型のコレクタ引き出し用単結晶シリコン領域を有することを特徴とする半導体装置が得られる。

【0015】又、本発明によれば、シリコン基板を有する半導体装置において、前記シリコン基板の一部に、互いに接触しないように形成された第1濃度を有する第1導電型埋め込み層及び第1濃度を有する第2導電型埋め込み層と、前記第1濃度を有する第1導電型埋め込み層2の表面及び該埋め込み層が存在していない領域のシリコン基板の表面に形成された第3濃度を有する第2導電型のエピタキシャル・シリコン層と、前記第2導電型埋め込み層の上に形成された素子分離用膜と、該素子分離用膜よりも内側のトランジスタを形成する領域に形成され、前記第1濃度を有する第1導電型埋め込み層に達す

る開口部と、該開口部側面に形成されたシリコン酸化膜と、該シリコン酸化膜の上に形成された第2濃度を有する第1導電型単結晶シリコン膜と、前記開口部によって囲まれた内部領域に形成された第2濃度を有する第1導電型の単結晶シリコンと、第2濃度を有する第1導電型の単結晶シリコンの上に形成された第2濃度を有する第1導電型の単結晶シリコン・ゲルマニウムと、金属コレクタ電極が形成される直下の領域に形成された第1濃度を有する第1導電型のコレクタ引き出し用単結晶シリコン領域を有することを特徴とする半導体装置が得られる。

【0016】又、本発明によれば、シリコン基板を有する半導体装置において、前記シリコン基板の一部に、互いに接触しないように形成された第1濃度を有する第1導電型埋め込み層及び第1濃度を有する第2導電型埋め込み層と、前記第1濃度を有する第1導電型埋め込み層の表面及び該埋め込み層が存在していない領域のシリコン基板の表面に形成された第3濃度を有する第2導電型のエピタキシャル・シリコン層と、前記第2導電型埋め込み層の上に形成された素子分離用膜と、該素子分離用膜よりも内側のトランジスタを形成する領域に形成され、前記第1濃度を有する第1導電型埋め込み層に達する開口部と、該開口部側面に形成されたシリコン酸化膜と、該シリコン酸化膜の上に形成された第2濃度を有する第1導電型単結晶シリコン膜と、前記開口部によって囲まれた内部領域に形成された第2濃度を有する第1導電型の単結晶シリコンと、第2濃度を有する第1導電型の単結晶シリコンの上に形成された第2濃度を有する第1導電型の単結晶シリコン・ゲルマニウムと、金属コレクタ電極が形成される直下の領域に形成された第1濃度を有する第1導電型のコレクタ引き出し用単結晶シリコン領域を有し、高濃度なコレクタ領域の形成を一部の必要な領域に制限することで遮断周波数の低下を押さえ、コレクタ容量の上昇も抑制することを可能とすることを特徴とする半導体装置が得られる。

【0017】又、本発明によれば、シリコン基板を有する半導体装置を製造する半導体装置の製造方法において、前記シリコン基板の一部に、互いに接触しないように第1濃度を有する第1導電型埋め込み層2及び第1濃度を有する第2導電型埋め込み層を形成し、前記第1濃度を有する第1導電型埋め込み層の表面及び該埋め込み層が存在していない領域のシリコン基板の表面に第3濃度を有する第2導電型のエピタキシャル・シリコン層を形成し、前記第2導電型埋め込み層の上に素子分離用膜を形成し、該素子分離用膜よりも内側のトランジスタを形成する領域に、かつ前記第1濃度を有する第1導電型埋め込み層に達するように開口部を形成し、該開口部側面にシリコン酸化膜を形成し、該シリコン酸化膜の上部を除去し、その露出した部分に第2濃度を有する第1導電型単結晶シリコン膜を形成し、前記開口部によって囲

まれた内部領域に第2濃度を有する第1導電型の単結晶シリコンを形成し、第2濃度を有する第1導電型の単結晶シリコンの上に第2濃度を有する第1導電型の単結晶シリコン・ゲルマニウムを形成し、金属コレクタ電極が形成される直下の領域に第1濃度を有する第1導電型のコレクタ引き出し用単結晶シリコン領域を形成することを特徴とする半導体装置の製造方法が得られる。

【0018】又、本発明によれば、シリコン基板を有する半導体装置において、前記シリコン基板の一部に、互いに接触しないように形成された第1濃度を有する第1導電型埋め込み層及び第1濃度を有する第2導電型埋め込み層と、前記第1濃度を有する第1導電型埋め込み層の表面及び該埋め込み層が存在していない領域のシリコン基板の表面に形成された第3濃度を有する第2導電型のエピタキシャル・シリコン層と、前記第2導電型埋め込み層の上に形成された素子分離用膜と、該素子分離用膜よりも内側のトランジスタを形成する領域に形成され、前記第1濃度を有する第1導電型埋め込み層に達する開口部と、該開口部側面に形成されたシリコン酸化膜と、該シリコン酸化膜の上に、かつエミッタ直下とならない領域に形成された第3濃度を有する第1導電型シリコン膜・ゲルマニウムと、該シリコン酸化膜の上に、かつエミッタ直下となる領域に形成された第2濃度を有する第1導電型シリコン膜・ゲルマニウムと、前記開口部によって囲まれた内部領域に形成された第2濃度を有する第1導電型の単結晶シリコンと、第2濃度を有する第1導電型の単結晶シリコンの上に形成された第2濃度を有する第1導電型の単結晶シリコン・ゲルマニウムと、金属コレクタ電極が形成される直下の領域に形成された第1濃度を有する第1導電型のコレクタ引き出し用単結晶シリコン領域を有することを特徴とする半導体装置が得られる。

【0019】さらに、本発明によれば、前記素子分離用膜はロコス酸化膜であることを特徴とする半導体装置が得られる。

【0020】さらに、本発明によれば、前記第1導電型はn型であり、前記第2導電型はp型であることを特徴とする半導体装置が得られる。

【0021】さらに、本発明によれば、前記第1導電型はp型であり、前記第2導電型はn型であることを特徴とする半導体装置が得られる。

【0022】さらに、本発明によれば、前記第1濃度は前記第2濃度より高く、前記第2濃度は前記第3濃度より高いことを特徴とする半導体装置が得られる。

【0023】さらに、本発明によれば、前記素子分離用膜はロコス酸化膜であることを特徴とする半導体装置の製造方法が得られる。

【0024】さらに、本発明によれば、前記第1導電型はn型であり、前記第2導電型はp型であることを特徴とする半導体装置の製造方法が得られる。

【0025】さらに、本発明によれば、前記第1導電型はp型であり、前記第2導電型はn型であることを特徴とする半導体装置の製造方法が得られる。

【0026】さらに、本発明によれば、前記第1濃度は前記第2濃度より高く、前記第2濃度は前記第3濃度より高いことを特徴とする半導体装置の製造方法が得られる。

【0027】さらに、本発明によれば、前記シリコン酸化膜の膜厚は前記ロコス酸化膜の厚さの半分程度であることを特徴とする半導体装置が得られる。

【0028】

【発明の実施の形態】本発明の第1の実施の形態に関して、図面を参照して説明する。ここでは縦型バイポーラ・トランジスタとしてnpn型を用い、実施例を説明する。逆の導電型(pnp)の組み合わせへも本発明は適用可能である。

【0029】図1は、本発明の第1の実施の形態に係る半導体装置の縦断面図を示している。結晶の面方位が(100)であり、その抵抗率が10から20 $\Omega \cdot \text{cm}$ であるp型シリコン基板1を用いる。もちろん、結晶面方位がこれ以外でもトランジスタは作成可能であり、抵抗率も使用目的によって変更される。

【0030】このシリコン基板表面の一部には、約2 μm 厚の、n⁺型埋め込み層2がある。この領域には砒素が、約2 $\sim 5 \times 10^{19} \text{cm}^{-3}$ である。更に、p⁺型埋め込み層3がある。この領域にはボロンがドーパされていて、濃度や厚さはn⁺型埋め込み層2と同程度である。別の導電型の埋め込み層どうしは、お互いに接触せずに配置される。

【0031】この埋め込み層の表面、及び埋め込み層が存在していない領域のシリコン基板の表面に、n⁻型のエピタキシャル・シリコン層4がある。ここには、リンがドーパされていて、その濃度は、約2 $\times 10^{16} \text{cm}^{-3}$ の領域が、約0.7 μm である。通常のLOCOS法(Local Oxidation of Silicon)によって形成した素子分離用のロコス酸化膜5は(酸化膜の厚さは、約0.8 μm)、p⁺型埋め込み層3の上に形成される。

【0032】ロコス酸化膜よりも内側のトランジスタを形成する領域には、n⁺型埋め込み層2に達した浅いトレンチ(トレンチ幅は、約300オングストローム)101が形成され、そのトレンチ内部の下部にはシリコン酸化膜6が埋設される。

【0033】浅いトレンチ101によって囲まれた内部領域には、n⁺型埋め込み層2に接してn⁺型単結晶シリコン層31があり、さらにその上にはn型単結晶シリコン層32が存在する。

【0034】金属コレクタ電極が形成される直下の領域は、n⁻型のエピタキシャル・シリコン層4が高濃度ドーパされたn⁺型コレクタ引き出し用単結晶シリコン領

域8が存在する。ここまでの状態をシリコン基体100と呼ぶ。

【0035】このシリコン基体100の上にシリコン酸化膜10（膜厚が約1000オングストローム）がある。さらにこのシリコン酸化膜の上の一部領域には、ベース電極用p⁺型多結晶シリコン11（厚さが約2500オングストローム、ボロン濃度が約 $2 \times 10^{20} \text{ cm}^{-3}$ ）がある。

【0036】これらのシリコン酸化膜10、及び、ベース電極用p⁺型多結晶シリコン11は、シリコン窒化膜12（膜厚が約1500オングストローム）によって被覆されている。ベース電極用p⁺型多結晶シリコン11の内部の一部領域には、シリコン酸化膜10に開口102が形成されている。

【0037】この開口102内部のn⁻型のエピタキシャル・シリコン層4、シリコン酸化膜6、及びn型単結晶シリコン層32の上には、n型コレクタ用単結晶シリコン層33が存在する。更にその上には、p型単結晶シリコン層（＝ベース領域）34が存在する。p型単結晶シリコン層（＝ベース）34は、p型多結晶シリコン層35を介して、ベース電極用p⁺型多結晶シリコン11に接続している。

【0038】ベース領域の上は、側壁としてシリコン酸化膜17によって、多結晶シリコン35は被覆されている。このシリコン酸化膜17によって形成された開口内部に、エミッタ電極用多結晶シリコン18がある。エミッタ電極用多結晶シリコン18からのn型不純物拡散によってエミッタ領域36が形成されている。これらの表面は、シリコン酸化膜20によって被覆されている。エミッタ電極用多結晶シリコン、ベース電極用多結晶シリコン、コレクタ引き出し領域には、コンタクト用開口が形成され、これらの開口には、エミッタ用アルミニウム合金電極21-a、ベース用アルミニウム合金電極21-b、コレクタ用アルミニウム合金電極21-cが形成されている。

【0039】以下、上記した半導体装置の動作、すなわち主要な製造工程について各工程の縦断面図を用いながら詳細に説明する。図2に示すように、（100）結晶面をもち、抵抗率が約10から20Ω・cmであるp⁻型シリコン基板1を用いる。まずシリコン基板の表面領域にn⁺型埋め込み層2及びp⁺型埋め込み層3を形成する。その方法は、シリコン基板1上に、通常のCVD法または熱酸化法により、シリコン酸化膜（図示せず）を形成する。

【0040】シリコン酸化膜は、数1000オングストローム（3000オングストロームから7000オングストロームの厚さが適しており、例えば5000オングストロームを例として説明）のシリコン酸化膜を形成後、通常のフォトリソグラフィ方法によって、シリコン酸化膜上にフォトレジスト（図示せず）をパターニン

グする。このフォトレジストをマスク材として、通常のウエット・エッチング法により（すなわちHF系の液を用いて）、表面のシリコン酸化膜を選択的に除去する。

【0041】引き続き有機系溶液を用いてフォトレジストを除去した後、次にフォトリソグラフィ工程での位置あわせのためにシリコン酸化膜開口内部のシリコン基板表面を200オングストローム～500オングストローム酸化した後、砒素のイオン注入によりシリコン酸化膜が薄い領域のシリコン基板に砒素を選択的に導入する。イオン注入の加速エネルギーは、マスク材となるシリコン酸化膜を突き抜けない程度に低い必要がある。また、イオン注入する不純物の量としては、埋め込み層の不純物濃度が、 $1 \times 10^{19} \text{ cm}^{-3}$ 台となる条件が適当であり、エネルギー70keV、 $5 \times 10^{15} \text{ cm}^{-2}$ を用いた（注入条件としては、例えば、エネルギー50keV～120keVで、ドーズ量 $5 \times 10^{15} \sim 2 \times 10^{16} \text{ cm}^{-2}$ が適当である）。

【0042】次にイオン注入された際の損傷回復、砒素の活性化、及び押し込みの為に、1000℃～1150℃の温度で処理する（ここでは、1100℃、2時間、窒素雰囲気中の熱処理をした）。この様にしてn⁺型埋め込み層2が形成される。5000オングストローム厚のシリコン酸化膜をHF系の液で全て除去し、酸化による1000オングストローム厚のシリコン酸化膜（500オングストローム～2500オングストロームの厚さが適当）の形成、フォトレジストのパターニング、ボロンのイオン注入（50KeV、 $1 \times 10^{14} \text{ cm}^{-2}$ ）、レジストの除去、活性化の熱処理（1000℃、1時間、窒素雰囲気中）を行いチャンネルストッパー用p⁺型埋め込み層3を形成する。

【0043】次にシリコン酸化膜を全面除去した後に、通常の方法によってn⁻型シリコンエピタキシャル層4を形成する。成長温度は、950℃～1050℃が適当であり原料ガスは、SiH₄またはSiH₂Cl₂を用いる。ドーピングガスとしてPH₃を用い、 $5 \times 10^{15} \sim 5 \times 10^{16} \text{ cm}^{-3}$ の不純物（＝リン）を含有し、厚さが0.3μm～1.3μmが適当である。ここでは、 $2 \times 10^{16} \text{ cm}^{-3}$ 以下の濃度の厚さが、約0.7μmであった。この様にして、埋め込み層上に、n⁻型シリコンエピタキシャル層4を形成する。

【0044】次に素子分離のためのロコス酸化膜5を形成する。まずエピタキシャル層4の表面に200オングストローム～500オングストロームの熱酸化膜（図示せず）を形成し、シリコン窒化膜（図示せず）を厚さ700オングストローム～1500オングストローム形成する。引き続きフォトリソグラフィによってフォトレジスト（図示せず）をパターニングして、ドライエッチングによりシリコン窒化膜及びシリコン酸化膜を除去する。引き続き、シリコン・エピタキシャル層4もエッチングして溝を形成する。溝の深さ（＝エッチングするシ

リコンの深さ)は、ロコス法で形成される酸化膜厚の半分程度が適当である。

【0045】フォトレジストを除去後、素子領域は、シリコン窒化膜により保護された状態で酸化することにより素子分離のためのシリコン酸化膜すなわちロコス酸化膜5が形成される。ロコス酸化膜は、チャンネルストップ用埋め込み層3に達する厚さが適当であり、たとえば3000オングストローム～10000オングストロームである。ここでは、約8000オングストロームであった。シリコン窒化膜は、熱したリン酸によって取り除く。

【0046】引き続き、通常のフォトリソグラフィーでフォトレジストのパターン(図示せず)を形成し、このフォトレジストをマスク材にして、異方性ドライ・エッチングする(シリコン酸化膜エッチング→シリコン・エッチングの順番でエッチング)。この結果、レジストの無い領域のシリコン酸化膜、エピタキシャルシリコン層4、がエッチングされて、開口101が形成される。

【0047】引き続き、酸化する。シリコンの酸化速度は不純物濃度依存性を有している。ここでは、開口101の側面に約400オングストロームのシリコン酸化膜が形成される条件とした。この時、開口101の底面には、少し厚い酸化膜が形成される。ここで、開口101の側面に形成されるシリコン酸化膜の厚さは、後の工程で形成するn型シリコン膜33の膜厚と同程度の厚さとなっている条件が適する。

【0048】引き続き、異方性ドライ・エッチングによって、開口101の底面にあるシリコン酸化膜を完全に除去する。更に、このエッチングの際にシリコン表面に結晶配列の乱れが形成されてしまうので、この損傷領域を低パワーのシリコン・エッチングによって除去する。

【0049】次に、図3を参照して、n⁺型シリコンの選択的結晶成長の段階について説明する。成長条件としては、LPCVD法、ガスソースMBE法なども可能であるが、ここでは、超高真空化学気相成長(Ultra High Vacuum-Chemical Vapor Deposition: UHV-CVD)法を例として説明する。

【0050】この成長方法の詳細は、本発明者が共著者である論文、M. Sugiyama et al., "A 1.3- μ m operation Si-based planar P-I-N photodiode with Ge absorption layer using strain-relaxing selective epitaxial growth technology", Extended abstract of the 1998 International Conference on Solid State Devices and Materials, Hiroshima, 1998, pp. 384-385. に詳しく述べられている。

【0051】基板温度605℃、Si₂H₆流量3 sccm、Cl₂流量0.03 sccmが条件の一例である。リンをドーパするために、成長の際、PH₃も使用する。PH₃の流量は、その濃度が、約 $1 \times 10^{19} \text{ cm}^{-3}$ となる条件とする。この結果、開口101の底に、n⁺

型単結晶シリコン膜31が形成される。

【0052】以下、図4を参照して、n型シリコンの選択的結晶成長の段階について説明する。ここでは引き続き、UHV-CVD法を例として説明する。基板温度605℃、Si₂H₆流量3 sccm、Cl₂流量0.03 sccmを用いる点は同じである。ただし、リンの濃度が、約 $1 \times 10^{18} \text{ cm}^{-3}$ となる条件のPH₃の流量とする。この段階では、成長した結晶がロコス酸化膜5の上にせり出して台地を形成し、n型シリコン膜32-aとなる。次いで、図5に示すように、シリコンの化学的機械的研磨、略称CMP(ケミカルメカニカルポリッシング)技術によって表面を平坦化すると、n型シリコン膜32となる。

【0053】次に、図6を参照して、ベース、エミッタが形成される開口にシリコン窒化膜の側壁を形成した段階について述べる。コレクタ抵抗を下げるためにn⁺型コレクタ引き出し領域8を形成する。まず、開口を埋設したシリコン層32の表面を少し酸化する。この時、ロコス酸化膜以外の領域のシリコン酸化膜とほぼ同程度の酸化膜を形成する。次に表面を、シリコン酸化膜10で覆う。その膜厚としては、500オングストローム～3000オングストロームが適当であり、ここでは、1300オングストロームであった。このシリコン酸化膜10には、通常のフォトリソグラフィーによってフォトレジストのパターン(図示せず)を形成し、このフォトレジストをマスク材として、イオン注入法によってコレクタ引き出し領域にリンをドーパする。

【0054】すなわち、リンを加速エネルギー100KeV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入する。フォトレジスト除去後、注入されたリンの活性化及びイオン注入損傷回復のために、熱処理として、900℃、5分の窒素雰囲気中でランプ加熱による急速熱処理(Rapid Thermal Annealing: RTA処理)する。以上によりシリコン基体100が構成される。

【0055】次に、減圧化学気相成長(LPCVD)法によって無添加ポリシリコンを堆積する。ポリシリコンの厚さとしては、1500オングストローム～3500オングストロームが適当であり、ここでは2500オングストロームであった。このポリシリコンには、ボロンをイオン注入する。注入エネルギーは、ポリシリコンを突き抜けない程度に低いエネルギーであり、ドーズ量は不純物濃度が約 $1 \times 10^{20} \text{ cm}^{-3}$ となる程度に高濃度になる必要がある。ここでは、10KeV、 $1 \times 10^{16} \text{ cm}^{-2}$ であった。次にフォトレジストをパターンニングした後ドライエッチングにより不要なポリシリコンを除去する。この様にしてp⁺型ベース電極用ポリシリコン11が形成される。これらの全面を約1500オングストロームの膜厚のLPCVD法によるシリコン窒化膜12で被覆する。通常のフォトリソグラフィーと異方性ドライエッチによって、シリコン窒化膜12と、ベース電極用

ポリシリコン11に開口を形成し、引き続きフォトレジストを除去する。LPCVD法でシリコン窒化膜堆積後、引き続き、異方性ドライエッチング法によって、直前に堆積させたシリコン窒化膜の厚さ分だけエッチバックさせ、シリコン酸化膜10を表出させる。

【0056】次に、図7を参照して、ベース形成直前の段階について説明する。引き続き、HF系溶液によってシリコン酸化膜10を横方向へエッチングさせ、n型コレクタ用エピタキシャル・シリコン層4、n型シリコン層32及び、ベース電極用ポリシリコン11の下面を露出させた段階の縦断面図である。シリコン酸化膜10の横方向へのエッチングによりベース電極用ポリシリコンの露出される寸法は、将来形成する真性ベースの厚さ分よりも、少なくとも長くなっている必要がある。このように寸法を定めた理由は、(1)横方向へのエッチング寸法がベース膜厚よりも小さいと、この接続部分の抵抗が真性ベースの抵抗と同程度に大きくなってしまふことであり、(2)横方向へのエッチング寸法がベース電極用ポリシリコン膜厚よりも大きくしても、電流は真性ベース近傍のグラフト・ベース領域を流れるので抵抗は低減されず、かえって接合容量の増大によって特性の低下を引き起こしてしまうことである。ここでグラフト・ベースとはベース電極用ポリシリコンとエピタキシャル成長されたベースとの間の領域を呼ぶ。

【0057】また、このサイドエッチ寸法はベース電極用ポリシリコンの膜厚よりも短くてよいので、ここでは約2000オングストロームの寸法分、ベース電極用ポリシリコン11の下面を露出されている。このエッチングの時、同時に、浅いトレンチ101の溝を埋設しているシリコン酸化膜6の上部が除去される。

【0058】次に、図8を参照してコレクタ形成段階について説明する。図8は選択的結晶成長法によってコレクタを形成した段階の断面図である。成長条件としては、ここではUHV/CVD法を例として説明する。基板温度605℃、 Si_2H_6 流量3 sccm、が条件の一例である。成長膜にはリンをドーパ(約 $1 \times 10^{18} \text{ cm}^{-3}$)する。この時、ベース電極用ポリシリコンせり出し部分の下面からコレクタ領域を構成するシリコンコレクタ層4に向かってn型の多結晶Si膜35-aが形成される。

【0059】一方、シリコンコレクタ層4、および、32の上、および、浅いトレンチ溝のシリコン酸化膜6の除去された溝内部の露出した部分にはn型単結晶Si膜33が形成されている。この時、仮にファセットが発生しても事実上問題ない。成長膜厚は、約30nmである。

【0060】次に、図9を参照してコレクタ形成段階について説明する。引き続き、p型ポリシリコン11の下面に形成されたn型多結晶Si膜35-aを高濃度にボロン(このボロンは、p型多結晶シリコン11から

拡散される)を添加するために、熱処理をすることによりp型多結晶Si膜35-bとする。

【0061】次に、図10を参照して、ベース形成段階について説明する。引き続き、選択エピタキシャル成長法によって、真性ベースを形成する。真性ベース層34は70nmの厚さのSi層からなる。このSi層は2層から構成され、層の厚さが40nm(ボロンが $5 \times 10^{18} \text{ cm}^{-3}$)と、その上にSi層が30nm(ボロンが $5 \times 10^{17} \text{ cm}^{-3}$)存在する。この成長の際、同時にp型多結晶Si層35-bの表面にも、p型多結晶35-cが成長する(この多結晶35-bと、35-cとを合わせて、以後、p型多結晶Si層35と呼ぶ)。

【0062】全ての成長が終了した段階で、ベース34は、p型多結晶Si層35と接触する。LPCVD法によるシリコン酸化膜の堆積と異方性エッチングによって開口の側面にシリコン酸化膜からなる側壁17を形成する。LPCVD法により、砒素添加ポリシリコンを約2500オングストローム堆積させる。更に、フォトリソグラフィと異方性ドライエッチによってポリシリコンをパターニングする。この様にして、n型エミッタ電極用ポリシリコン18が形成される。熱処理(例えば、1030℃、10秒)を行い、エミッタ電極用ポリシリコンから、真性ベース34領域へ砒素が拡散されて、n型単結晶エミッタ領域36が形成される。

【0063】引き続き、ウエハー全体を約8000オングストローム厚さのシリコン酸化膜20で被覆させる。絶縁膜のCMP(化学的機械的研磨法)によって表面を平坦化させる。さらに、フォトリソグラフィと異方性ドライエッチによってエミッタ電極用ポリシリコン18、ベース電極用ポリシリコン11、コレクタ引き出し領域8、に達する開口を形成する。フォトレジスト除去後、アルミニウム合金のスパッタ、フォトレジストのパターニングとドライエッチとによるパターニングをすれば、図1の半導体装置が形成される。

【0064】次に、本発明の第2の実施の形態について、図面を参照して説明する。ここでは縦型バイポーラ・トランジスタとしてnpn型を用い実施例を説明する。尚、第1の実施の形態と同じく逆の導電型(pnp)の組み合わせへも適用可能である。

【0065】図11は、本発明の第2実施の形態となる半導体装置の平面図であり、縦型npnバイポーラ・トランジスタのレイアウトを示し、図12及び図13はそれぞれ図11のA-A'線断面図及びB-B'線断面図を示している。ここでは、ロコス端、ベース電極用多結晶シリコン、エミッタ電極用コンタクト開口、ベース電極用コンタクト開口、コレクタ電極用コンタクト開口、が示される。

【0066】図12において、シリコン基板1の一部には、n型埋め込み層2、p型埋め込み層3がある。別の導電型の埋め込み層どうしは、お互いに接触せずに配

置される。図13において、結晶の面方位が(100)であり、その抵抗率が10から20 $\Omega \cdot \text{cm}$ であるp⁻型シリコン基板1を用いる。もちろん、結晶面方位がこれ以外でもトランジスタは作成可能であり、抵抗率も使用目的によって変更される。このシリコン基板表面の一部には、数 μm 厚の領域に、n⁺型埋め込み層2がある。更に、p⁺型埋め込み層3がある。別の導電型の埋め込み層どうしは、お互いに接触せずに配置される。

【0067】この埋め込み層の表面、及び埋め込み層が存在していない領域のシリコン基板の表面に、n⁻型のエピタキシャル・シリコン層4があり、通常のLOCOS法によって形成した素子分離用のロコス酸化膜5が、p⁺型埋め込み層3に接して形成される。ロコス酸化膜5よりも内側のトランジスタを形成する領域には、開口(浅いトレンチ)101が形成され、その内部はシリコン酸化膜6が埋設される。

【0068】浅いトレンチ101によって囲まれた内部領域には、n型単結晶シリコン9、n型単結晶シリコン・ゲルマニウム7が存在する。金属コレクタ電極が形成される直下の領域は、n⁻型のエピタキシャル・シリコン層4が高濃度ドーパされたn⁺型コレクタ引き出し用単結晶シリコン領域8が存在する。ここまでの状態をシリコン基体200と呼ぶ。

【0069】このシリコン基体200の上にシリコン酸化膜10がある。さらにこのシリコン酸化膜の上の一部領域には、ベース電極用p⁺型多結晶シリコン11がある。これらのシリコン酸化膜10、及び、ベース電極用p⁺型多結晶シリコン11は、シリコン窒化膜12によって被覆されている。ベース電極用p⁺型多結晶シリコン11の内部の一部領域には、開口101が形成されている。その開口から等距離だけ広がった位置のシリコン酸化膜10に開口102がある。

【0070】開口101内部のn⁻型のエピタキシャル・シリコン層4、及び、n型単結晶シリコン・ゲルマニウム7の上には、n型コレクタ用単結晶シリコン・ゲルマニウム層13、及びその上には、傾斜Ge組成からなる単結晶シリコン・ゲルマニウム合金ベースとその上に単結晶Siとからなる領域14が存在する。ここで傾斜Ge組成とは、Ge濃度が表面に向かって減少していくプロファイルのことである。

【0071】単結晶シリコン・ゲルマニウム合金ベース領域14は、多結晶シリコン・ゲルマニウム合金膜と多結晶Si膜との複合膜15を介して、ベース電極用p⁺型多結晶シリコン11に接続している。ベース領域の上は、側壁としてシリコン酸化膜17によって、多結晶シリコン・ゲルマニウム合金膜15は被覆されている。このシリコン酸化膜17によって形成された溝内部に、エミッタ電極用多結晶シリコン18がある。エミッタ電極用多結晶シリコン18からのn型不純物拡散によってエミッタ領域19が形成されている。これらの表面は、シ

リコン酸化膜20によって被覆されている。エミッタ電極用多結晶シリコン、ベース電極用多結晶シリコン、コレクタ引き出し領域には、それぞれ、コンタクト用の開口が形成されている。ベースコンタクト用開口104にはエミッタ用アルミニウム合金電極21-aが、開口102にはベース用アルミニウム合金電極21-bが、コレクタコンタクト用開口103にはコレクタ用アルミニウム合金電極21-cが形成されている。

【0072】次に、主要な工程における縦断面図を用いて、上記した第2の実施の形態に係る半導体装置を製造する工程を詳細に説明する。図14において、上記した第1の実施の形態と同様に、(100)結晶面をもち、抵抗率が約10から20 $\Omega \cdot \text{cm}$ であるp⁻型シリコン基板1を用いる。まずシリコン基板の表面領域にn⁺型埋め込み層2及びp⁺型埋め込み層3を形成する。

【0073】次にシリコン酸化膜を全面除去した後に、通常の方法によってn⁻型シリコンエピタキシャル層4を形成する。ここでは、 $2 \times 10^{16} \text{cm}^{-3}$ 以下の濃度の厚さが、約0.5 μm であった。

【0074】次に第1の実施の形態と同様に、素子分離のためのロコス酸化膜5を形成する。ロコス酸化膜5は、チャンネルストッパー用埋め込み層3に達する厚さが適当であり、ここでは、約6000オングストロームであった。シリコン窒化膜は、熱したリン酸によって取り除く。

【0075】図15において、引き続き、通常のフォトリソグラフィでフォトレジストのパターン(図示せず)を形成し、このフォトレジストをマスク材にして、異方性ドライ・エッチングする(シリコン酸化膜エッチング→シリコン・エッチング)。この結果、レジストの無い領域のシリコン酸化膜、エピタキシャルシリコン層4がエッチングされて、開口101が形成される。

【0076】図16において、引き続き、酸化する。シリコンの酸化膜の速度は不純物濃度依存性を有している。ここでは、開口101の側面に約300オングストロームのシリコン酸化膜が形成される条件とした。この時、開口101の底面には、少し厚い酸化膜が形成される。ここで、開口101の側面に形成されるシリコン酸化膜の厚さは、後の工程で形成するシリコン・ゲルマニウム膜13の膜厚と同程度の厚さとなっている条件が適する。

【0077】図17において、引き続き、異方性ドライ・エッチングによって、開口101の底面にあるシリコン酸化膜を完全に除去する。更に、このエッチングの際にシリコン表面に結晶配列の乱れが形成されてしまうので、この損傷領域を低パワーのシリコン・エッチングによって除去する。

【0078】図18において、成長条件としてはLPCVD法、ガスソースMBE法なども可能であるが、ここではUHV/CVD法を例として説明する。基板温度6

05℃、 Si_2H_6 流量3sccm、 Cl_2 流量0.03sccmが条件の一例である。リンをドーパするため、成長の際、 PH_3 も使用する。 PH_3 の流量は、その濃度が、約 $1 \times 10^{19} \text{ cm}^{-3}$ となる条件とする。開口101の底に、 n^+ 型シリコン膜が形成される。

【0079】図19では、引き続き、UHV/CVD法を例として説明する。基板温度605℃、 Si_2H_6 流量3sccm、 Cl_2 流量0.03sccmを用いる点は同じである。ただし、リンの濃度が、約 $1 \times 10^{18} \text{ cm}^{-3}$ となる条件の PH_3 の流量とする。

【0080】図20において、引き続き、UHV/CVD法を用いて、基板温度605℃、 Si_2H_6 流量3sccm、 GeH_4 流量2sccm、 Cl_2 流量0.03sccmを用いる点は同じである。ただし、リンの濃度が、約 $1 \times 10^{18} \text{ cm}^{-3}$ となる条件の PH_3 の流量とする。この段階では、成長した結晶が、ロコス酸化膜の上にせり出して台地を形成する。このSiGe合金層は、厚くなりすぎると結晶欠陥が発生してしまうので、(例えば、図21で)最終的に残る膜厚として、臨界膜厚以下、例えば、2000オングストローム以下が望ましい。この厚さを厚くするためには、表面に向かってGe濃度を徐々に上昇させる様なプロファイルも望ましい。

【0081】図21において、シリコン系のCMP技術によって表面を平坦化する。この後、図22に示すように、コレクタ抵抗を下げるために n^+ 型コレクタ引き出し領域8、を形成する。第1の実施例では、ここで酸化したが、SiGe合金膜は一樣に酸化されないので、引き続き、まず、表面を、シリコン酸化膜10で覆う。その膜厚としては、1000オングストローム～3000オングストロームが適当であり、ここでは、2000オングストロームであった。ここで、開口101の内外とで本来は、シリコン酸化膜10に段差が生じるが、図面上は同じ膜厚で段差が無い形状で記述した。このシリコン酸化膜10には、通常のフォトリソグラフィによってフォトレジストのパターンを形成し、このフォトレジストをマスク材として、イオン注入法によってリンをドーパする。

【0082】すなわち、リンを加速エネルギー100KeV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入する。フォトレジスト除去後、注入されたリンの活性化及びイオン注入損傷回復のために、熱処理として、900℃、5分の窒素雰囲気中でRTA処理する。以上によりシリコン基体200が構成される。

【0083】この後、ポリシリコンを堆積する。ここでは2500オングストロームであった。このポリシリコンには、ボロンをイオン注入する。ここでは、10KeV、 $1 \times 10^{16} \text{ cm}^{-2}$ であった。次にフォトレジストをパターニングした後ドライエッチングにより不要なポリシリコンを除去する。この様にして図23に示すように、 P^+ 型ベース電極用ポリシリコン11が形成され

る。これらの全面を約1500オングストロームの膜厚のLPCVD法のシリコン窒化膜12で被覆する。通常のフォトリソグラフィと異方性ドライエッチによって、シリコン窒化膜12と、ベース電極用ポリシリコン11に開口を形成し、引き続きフォトレジストを除去する。

【0084】図24に示すように、シリコン窒化膜12を堆積した後、引き続き、異方性ドライエッチング法によって、直前に堆積させたシリコン窒化膜の厚さ分だけ、エッチバックさせ、シリコン酸化膜10表出させる。

【0085】図25において、引き続き、HF系溶液によってシリコン酸化膜10を横方向へエッチングさせ、コレクタ用エピタキシャル・シリコン層4、シリコン・ゲルマニウム層7及び、ベース電極用ポリシリコン11の下面を露出させて開口102を形成する。シリコン酸化膜10を横方向へエッチングによりベース電極用ポリシリコンの露出される寸法は、将来形成する真性ベースの厚さ分よりも、少なくとも長くなっている。また、このサイドエッチ寸法はベース電極用ポリシリコンの膜厚よりも短くてよい。ここでは、約1500オングストロームの寸法分、ベース電極用ポリシリコン11の下面を露出されている。このエッチングの時、同時に、浅いトレンチ101の溝を埋設しているシリコン酸化膜6の上部が除去される。

【0086】図26は選択的結晶成長法によってコレクタの一部と真性ベースを形成する途中段階を示している。この成長条件としては、ここではUHV/CVD法を例として説明する。基板温度605℃、 Si_2H_6 流量3sccm、 GeH_4 流量2sccmが条件の一例である。成長膜には、リンをドーパする。この時、ベース電極用ポリシリコン11のせり出し部分の下面からコレクタ領域を構成するシリコンコレクタ層4に向かって n 型の多結晶SiGe膜15aが形成される。

【0087】一方、シリコンコレクタ層3の露出した部分には n 型単結晶SiGe合金膜13が形成されている。Ge濃度は、約10%であった。この時、仮にファセットが発生しても事実上問題ない。成長膜厚は、約25nmである。もちろん後工程の熱処理によって、欠陥が発生しない範囲内で膜厚を厚くすることは可能である。

【0088】この時、同時に p^+ 型ポリシリコンの下面にも無添加多結晶SiGe膜が形成される。この多結晶膜を高濃度にボロンを添加するために、熱処理をすることにより p^+ 型多結晶SiGe膜とする。

【0089】図27において、引き続き、選択エピタキシャル成長法によって、真性ベース層(傾斜Ge組成からなる p^+ 型単結晶シリコン・ゲルマニウム合金ベース領域)14を形成する。真性ベース層14は二層からなり、傾斜Geプロファイルをなす P^+ 型SiGe層(下

層)とp型Si層(上層)とから構成されている。Geプロファイル、不純物としてのボロン濃度プロファイル、とその膜厚の例を述べる。SiGe中のGe濃度が表面に向かって10%から直線的に0%へと減少するプロファイルを持ち、その層の厚さは、40nmである。その上にGeを含まない、すなわち純粋にSiからなる層が、30nm存在する。この両層には、ボロンが $5 \times 10^{18} \text{ cm}^{-3}$ が添加されている。

【0090】図28において、LPCVD法によるシリコン酸化膜の堆積と異方性エッチングによって開口の側面にシリコン酸化膜からなる側壁17を形成する。図29において、LPCVD法により、リン添加ポリシリコンを約2500オングストローム堆積させる。更に、フォトリソグラフィと異方性ドライエッチによってポリシリコンをパターニングする。この様にして、n⁺型エミッタ電極用ポリシリコン18が形成される。熱処理(例えば、930℃、10秒)を行い、エミッタ電極用ポリシリコンから、真性ベース層14の領域へリンが拡散されて、n⁺型単結晶エミッタ領域19が形成される。

【0091】引き続き、ウエハ全体を約3000オングストローム厚さのシリコン酸化膜20で被覆させる。さらに、フォトリソグラフィと異方性ドライエッチによってエミッタ電極用ポリシリコン18、ベース電極用ポリシリコン11、コレクタ引き出し領域9、に達する開口を形成する。フォトリソ除去後、アルミニウム合金のスパッタ、フォトリソとドライエッチとによるパターニングをすれば、図11に示すような半導体装置が形成される。

【0092】次に第3の実施の形態について、図30を参照して説明する。n⁻型SiGe41を成長させ、後からエミッタ直下となる領域だけにリンをイオン注入して、n型SiGe42を形成する。リンの注入条件の一例の条件は、加速エネルギーが200KeV、ドーズ量 $4 \times 10^{12} \text{ cm}^{-2}$ であった。

【0093】次に、第4の実施例を説明する。この実施例では、第2の実施例のn型単結晶シリコン・ゲルマニウム合金膜7の部分を実質単結晶シリコン膜で置き換える(図示せず)構造である。これ以外の部分は、第2の実施例と同一である。この様にすると、SiGe膜厚を薄くできるので、格子不整合による欠陥発生に対する熱処理のマージンを大きくできる。

【0094】

【発明の効果】本発明によれば、トランジスタを高電流密度まで動作させるために、コレクタの不純物濃度を高くした領域が最小限の面積となっているので、C-B容量を低減可能であると同時に、高電流密度動作が可能であり、しかもC-B接合の良品率が低下しないという効果が得られる。この効果に関して、具体的数値を用いて以下に説明する。図31に、本発明の効果を例示した

データを示す。図31は、本発明のトランジスタに関する接合の良品率と接合容量を、エミッタ直下のコレクタ濃度の関数として表している。

【0095】接合の良品率は、濃度が、 $1 \times 10^{18} \text{ cm}^{-3}$ 迄も高濃度化しても良品率は低下しない。これは、選択的にリンをイオン注入してコレクタを高濃度化する従来技術の良品率の著しい低下と比べ、大きな改善である。この良品率の改善は、コレクタ領域をエピタキシャル成長する際に、初めから高濃度にリンを添加すると言う、第2の従来技術でも、達成される。

【0096】しかし、本発明によれば、容量の低減を達成できる。その理由は、高濃度コレクタ領域がエミッタが形成される直下である一部の領域だけにエピタキシャル成長法で形成されるので、この特長が達成される。

【図面の簡単な説明】

【図1】第1の実施例となる半導体装置の縦断面図である。

【図2】開口101の底のシリコン表面が除去された段階の縦断面図である。

20 【図3】n⁺型シリコンの選択的結晶成長の段階の縦断面図である。

【図4】n型シリコンの選択的結晶成長の段階の縦断面図である。

【図5】n型シリコン平坦化の段階の縦断面図である。

【図6】ベース、エミッタが形成される開口にシリコン窒化膜の側壁を形成した段階の縦断面図である。

【図7】ベース形成直前の段階の縦断面図である。

【図8】コレクタ形成段階の縦断面図である。

【図9】コレクタ形成段階の縦断面図である。

30 【図10】ベース形成段階の縦断面図である。

【図11】本発明の第2の実施の形態に係る半導体装置の平面図であり、縦型npnバイポーラ・トランジスタのレイアウトを示している。

【図12】図11のA-A'線断面図である。

【図13】図11のB-B'線断面図である。

【図14】ロソス酸化膜が形成された段階の縦断面図である。

【図15】シリコンがエッチングされた段階の縦断面図である。

40 【図16】シリコン表面が酸化された段階の縦断面図である。

【図17】シリコン表面が酸化された段階の縦断面図である。

【図18】n⁺型シリコンの選択的結晶成長の段階の縦断面図である。

【図19】n型シリコンの選択的結晶成長の段階の縦断面図である。

【図20】n型シリコン・ゲルマニウムの選択的結晶成長の段階の縦断面図である。

50 【図21】n型シリコン・ゲルマニウムの平坦化の段階

の縦断面図である。

【図22】コレクタ引き出し領域形成段階の縦断面図である。

【図23】コレクタ引き出し領域形成段階の縦断面図である。

【図24】開口にシリコン窒化膜の側壁を形成した段階の縦断面図である。

【図25】ベース形成直前の段階の縦断面図である。

【図26】コレクタ形成段階の縦断面図である。

【図27】ベース形成段階の縦断面図である。

【図28】ベース形成段階の縦断面図である。

【図29】エミッタ形成段階の縦断面図である。

【図30】本発明の第3の実施の形態に係る半導体装置の縦断面図である。

【図31】本発明による半導体装置の良品率と接合容量を、エミッタ直下のリン濃度を変数として示した図である。

【図32】従来の半導体装置の一実施の形態に係る縦断面図である。

【図33】従来の半導体装置の他の実施の形態に係る縦断面図である。

【図34】図31に示される半導体装置の良品率をリンのイオン注入ドーズ量を変数として示した図である。

【図35】図32に示される半導体装置の接合容量の図である。

【符号の説明】

- 1 p⁻型シリコン基板
- 2 n⁺型埋め込み層
- 3 チャネルストッパー用p⁺型埋め込み層

4 n⁻型単結晶シリコン(=コレクタ用n⁻型単結晶シリコン)

5 ロコス酸化膜

6 トレンチ溝内部のシリコン酸化膜

7 n型単結晶シリコン・ゲルマニウム合金膜

8 n⁺型コレクタ引き出し用単結晶シリコン領域

9 n型単結晶シリコン膜

10 シリコン酸化膜

11 ベース電極用p⁺型多結晶シリコン

10 12 シリコン窒化膜

13 n型コレクタ用単結晶シリコン・ゲルマニウム

層

14 真性ベース層

15 多結晶シリコン・ゲルマニウム合金膜

17 シリコン酸化膜

18 エミッタ電極用多結晶シリコン

19 n⁺型単結晶Siエミッタ領域

20 シリコン酸化膜

21-a エミッタ用アルミニウム合金電極

21-b ベース用アルミニウム合金電極

21-c コレクタ用アルミニウム合金電極

31 n⁺型単結晶シリコン層

32 n型単結晶シリコン層

33 n型単結晶シリコン層

34 p型単結晶シリコン層(=ベース)

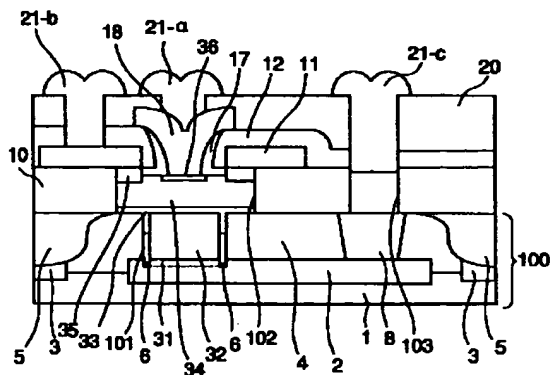
35 p型多結晶シリコン層

36 n⁺型単結晶シリコン層(=エミッタ)

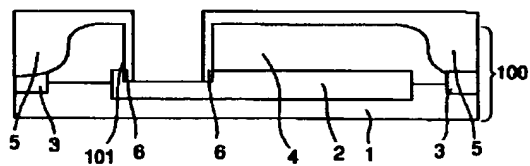
100, 200 シリコン基体

101, 102, 103, 104 開口

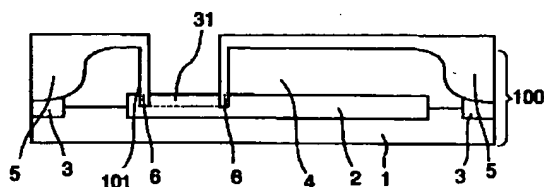
【図1】



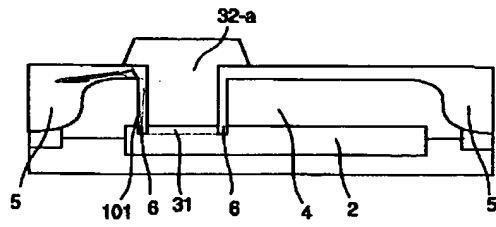
【図2】



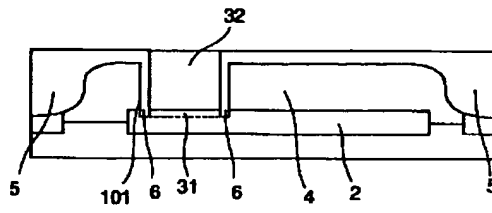
【図3】



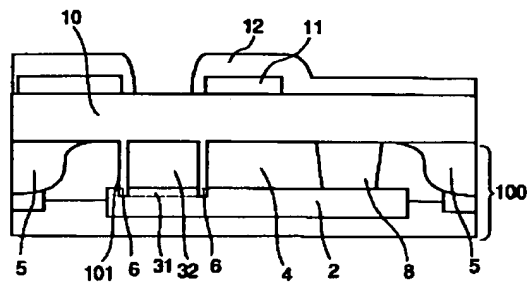
【図4】



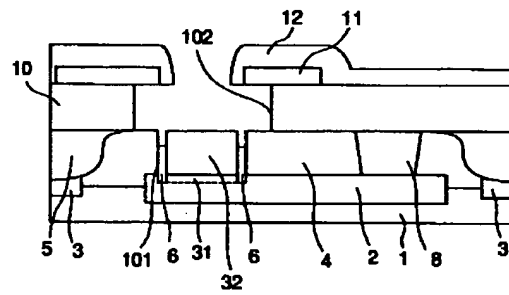
【図5】



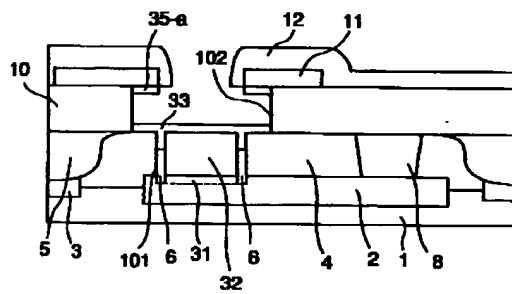
【図6】



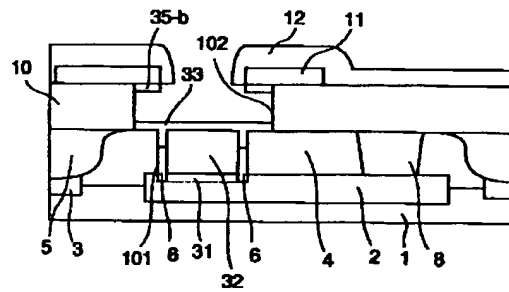
【図7】



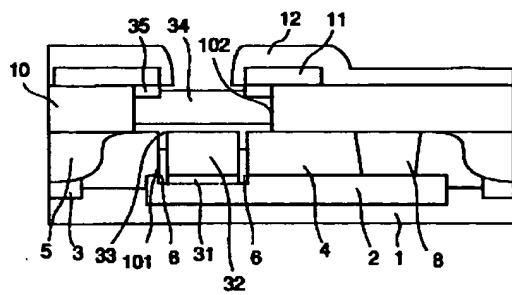
【図8】



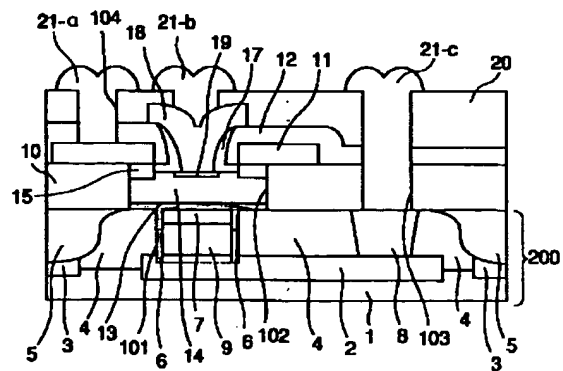
【図9】



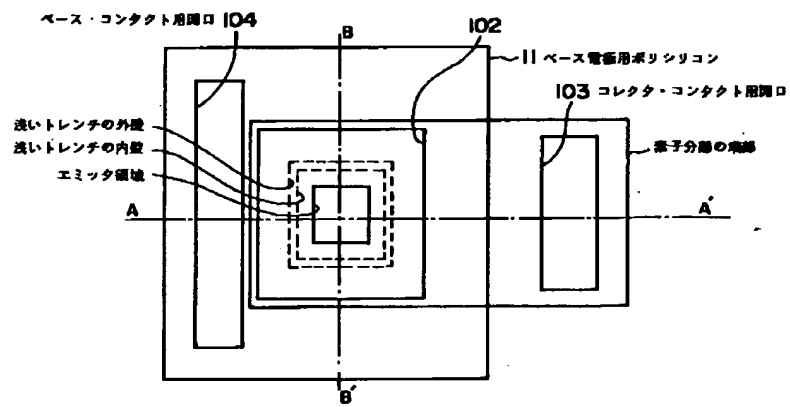
【図10】



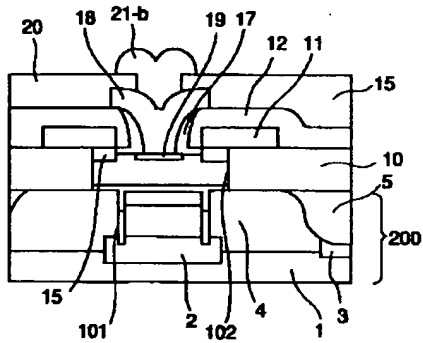
【図12】



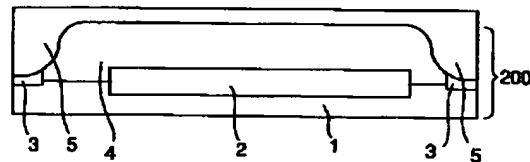
【図11】



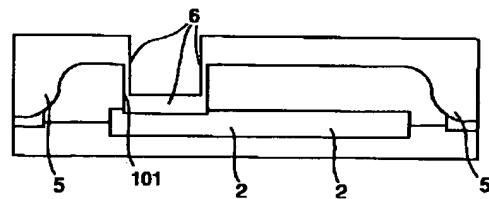
【図13】



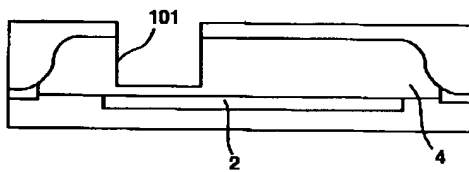
【図14】



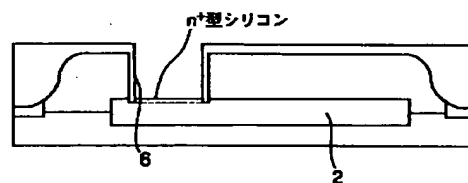
【図16】



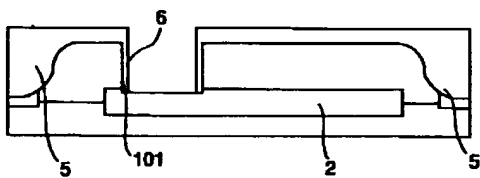
【図15】



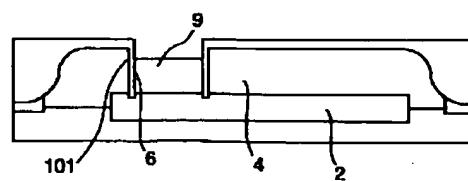
【図18】



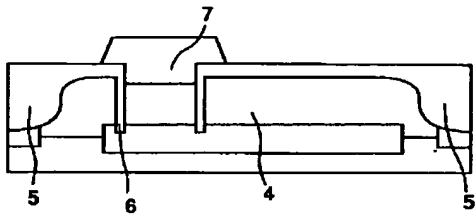
【図17】



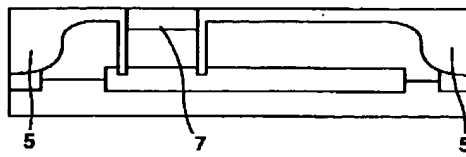
【図19】



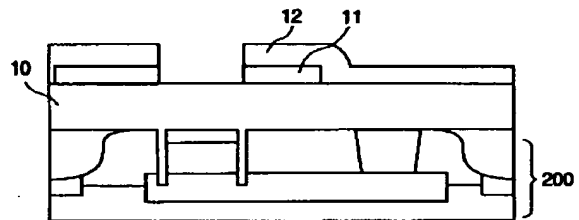
【図20】



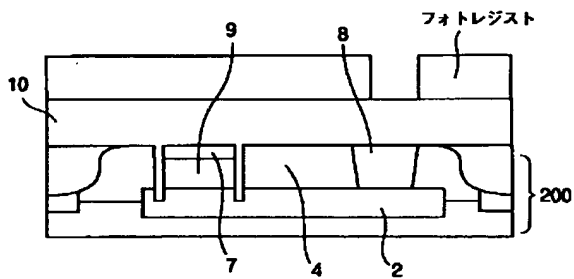
【図21】



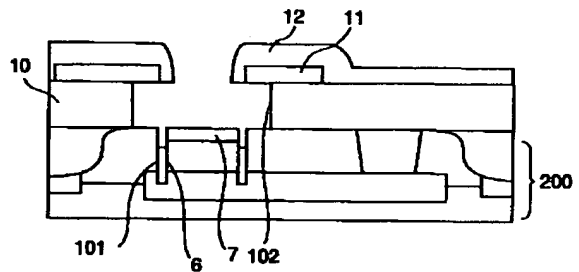
【図23】



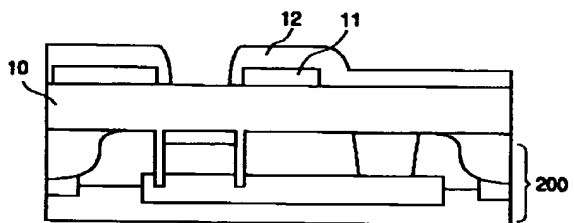
【図22】



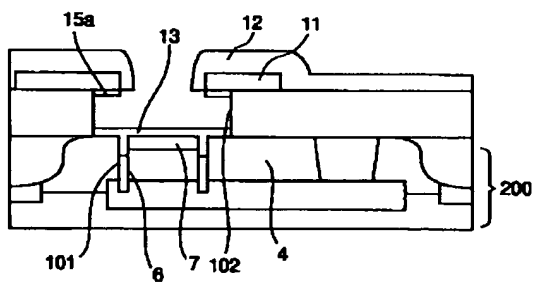
【図25】



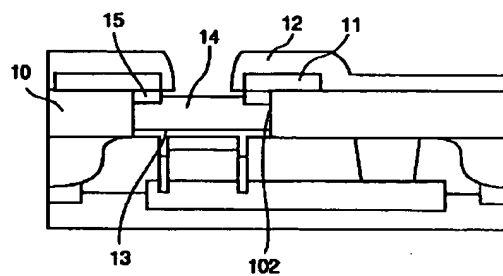
【図24】



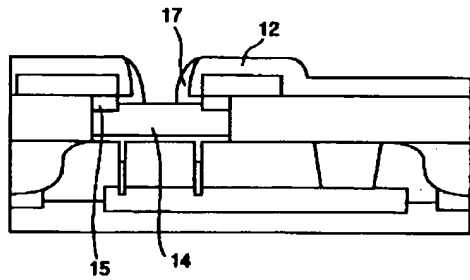
【図26】



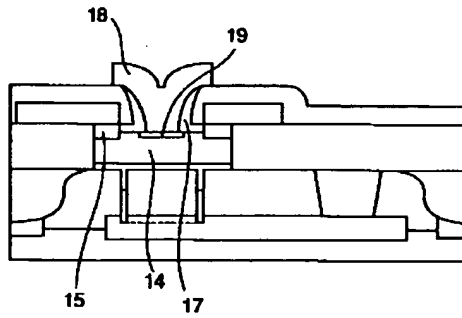
【図27】



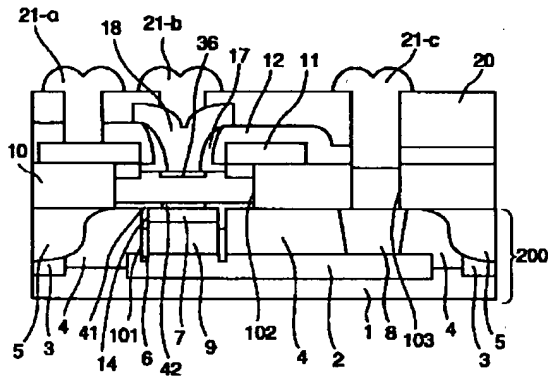
【図28】



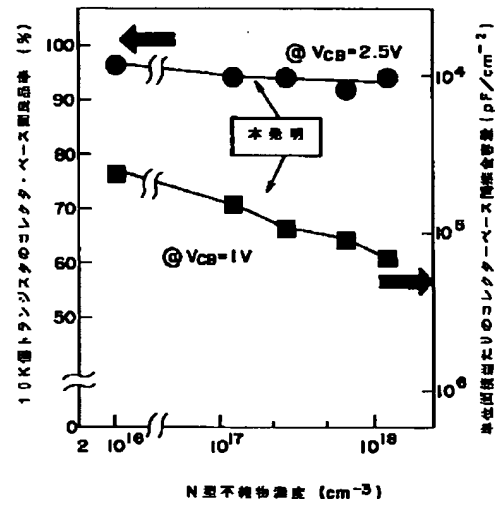
【図29】



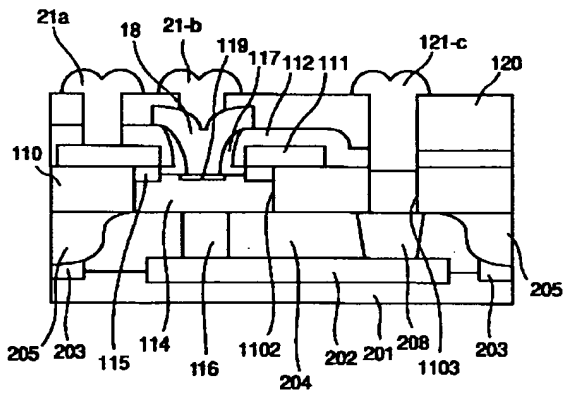
【図30】



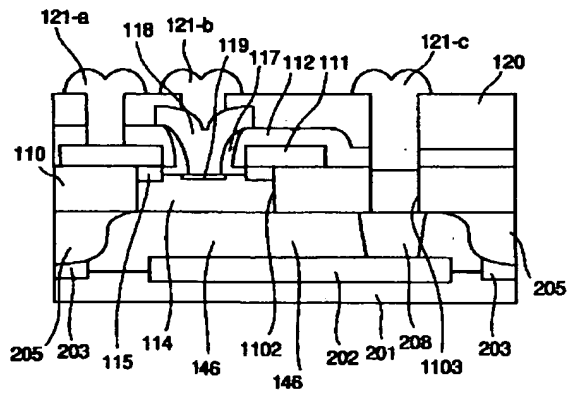
【図31】



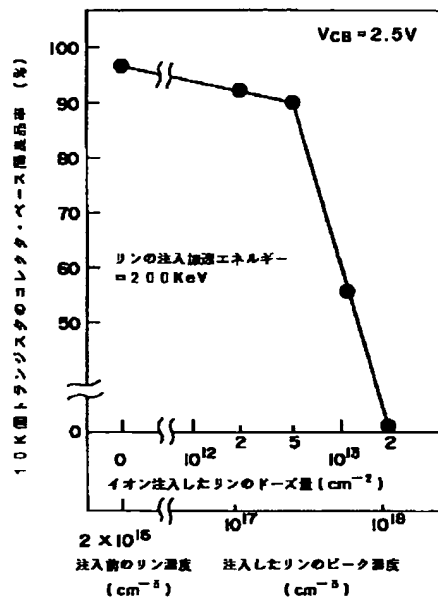
【図32】



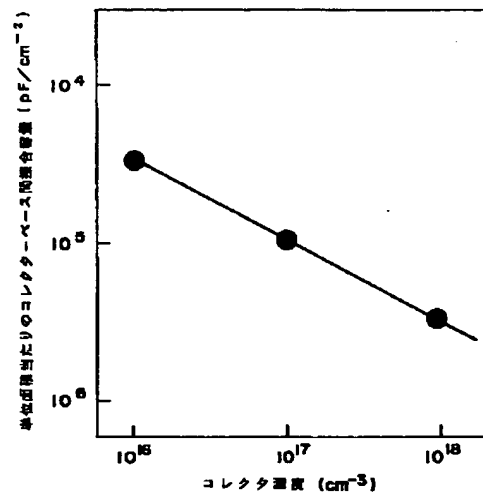
【図33】



【図34】



【図35】



* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing of longitudinal section of the semiconductor device used as the 1st example.

[Drawing 2] It is drawing of longitudinal section of the phase where the silicon front face of the bottom of opening 101 was removed.

[Drawing 3] It is drawing of longitudinal section of the phase of the alternative crystal growth of n+ mold silicon.

[Drawing 4] It is drawing of longitudinal section of the phase of the alternative crystal growth of n mold silicon.

[Drawing 5] It is drawing of longitudinal section of the phase of n mold silicon flattening.

[Drawing 6] It is drawing of longitudinal section of the phase which formed the side attachment wall of a silicon nitride in opening in which the base and an emitter are formed.

[Drawing 7] It is drawing of longitudinal section of the phase in front of base formation.

[Drawing 8] It is drawing of longitudinal section of a collector formation phase.

[Drawing 9] It is drawing of longitudinal section of a collector formation phase.

[Drawing 10] It is drawing of longitudinal section of a base formation phase.

[Drawing 11] It is the top view of the semiconductor device concerning the gestalt of operation of the 2nd of this invention, and the layout of a vertical mold npn bipolar transistor is shown.

[Drawing 12] It is the A-A' line sectional view of drawing 11.

[Drawing 13] It is the B-B' line sectional view of drawing 11.

[Drawing 14] It is drawing of longitudinal section of the phase where the localized-oxidation-of-silicon oxide film was formed.

[Drawing 15] It is drawing of longitudinal section of the phase where silicon was etched.

[Drawing 16] It is drawing of longitudinal section of the phase where the silicon front face oxidized.

[Drawing 17] It is drawing of longitudinal section of the phase where the silicon front face oxidized.

[Drawing 18] It is drawing of longitudinal section of the phase of the alternative crystal growth of n+ mold silicon.

[Drawing 19] It is drawing of longitudinal section of the phase of the alternative crystal growth of n mold silicon.

[Drawing 20] It is drawing of longitudinal section of the phase of the alternative crystal growth of n mold silicon germanium.

[Drawing 21] It is drawing of longitudinal section of the phase of flattening of n mold silicon germanium.

[Drawing 22] It is drawing of longitudinal section of a collector drawer field formation phase.

[Drawing 23] It is drawing of longitudinal section of a collector drawer field formation phase.

[Drawing 24] It is drawing of longitudinal section of the phase which formed the side attachment wall of a silicon nitride in opening.

[Drawing 25] It is drawing of longitudinal section of the phase in front of base formation.

[Drawing 26] It is drawing of longitudinal section of a collector formation phase.

[Drawing 27] It is drawing of longitudinal section of a base formation phase.

[Drawing 28] It is drawing of longitudinal section of a base formation phase.

[Drawing 29] It is drawing of longitudinal section of an emitter formation phase.

[Drawing 30] It is drawing of longitudinal section of the semiconductor device concerning the gestalt of operation of the 3rd of this invention.

[Drawing 31] It is drawing having shown the Lynn concentration directly under an emitter for the rate of an excellent article and junction capacitance of a semiconductor device by this invention as a variable.

[Drawing 32] It is drawing of longitudinal section concerning the gestalt of 1 operation of the conventional semiconductor device.

[Drawing 33] It is drawing of longitudinal section concerning the gestalt of other operations of the conventional semiconductor device.

[Drawing 34] It is drawing having shown the ion-implantation dose of Lynn for the rate of an excellent article of the semiconductor device shown in drawing 31 as a variable.

[Drawing 35] It is drawing of the junction capacitance of the semiconductor device shown in drawing 32.

[Description of Notations]

1 P-Mold Silicon Substrate

2 N+ Mold Embedding Layer

3 P+ Mold Embedding Layer for Channel Stoppers

4 N-Mold Single Crystal Silicon (= N-Mold Single Crystal Silicon for Collectors)

5 Localized-Oxidation-of-Silicon Oxide Film

6 Silicon Oxide inside Trench Slot

7 N Mold Single-Crystal-Silicon Germanium Alloy Film

8 Single-Crystal-Silicon Field for N+ Mold Collector Drawers

9 N Mold Single-Crystal-Silicon Film

10 Silicon Oxide

11 P+ Mold Polycrystalline Silicon for Base Electrodes

12 Silicon Nitride

13 Single-Crystal-Silicon Germanium Layer for N Mold Collectors

14 Intrinsic Base Layer

15 Polycrystalline Silicon Germanium Alloy Film

17 Silicon Oxide

18 Polycrystalline Silicon for Emitter Electrodes

19 N+ Mold Single Crystal Si Emitter Region

20 Silicon Oxide

21-a The aluminium alloy electrode for emitters

21-b The aluminium alloy electrode for the bases

21-c The aluminium alloy electrode for collectors

31 N+ Mold Single-Crystal-Silicon Layer

32 N Mold Single-Crystal-Silicon Layer

33 N Mold Single-Crystal-Silicon Layer

34 P Mold Single-Crystal-Silicon Layer (= Base)


35 P Mold Polycrystalline Silicon Layer

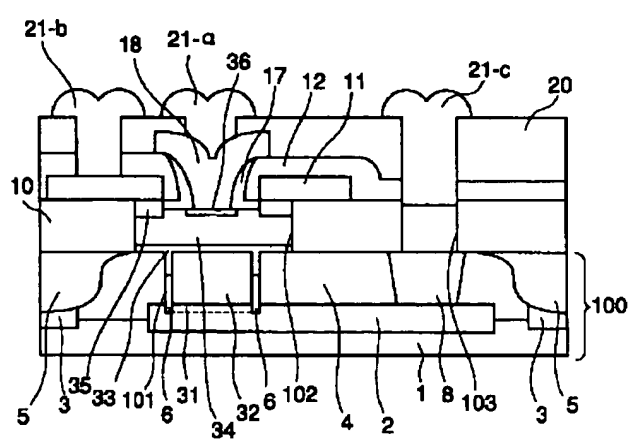
36 N+ Mold Single-Crystal-Silicon Layer (= Emitter)

100,200 Silicon base

101,102,103,104 Opening

[Translation done.]

Drawing selection drawing 1 



[Translation done.]